

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-46206

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.⁶

H 01 L 29/786

G 02 F 1/136

識別記号

庁内整理番号

F I

技術表示箇所

500

9056-4M

H 01 L 29/78

612 B

審査請求 未請求 請求項の数22 OL (全15頁)

(21)出願番号

特願平6-177941

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 武

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 長江 慶治

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 小西 信武

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

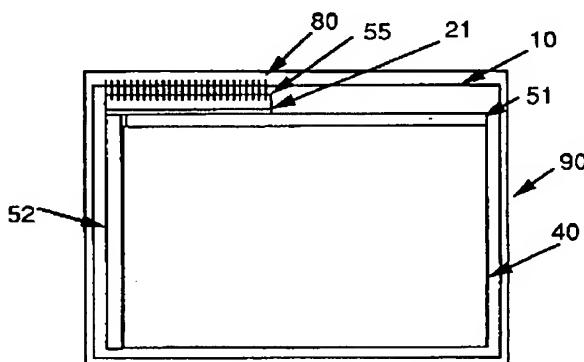
(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】 薄膜トランジスタの用いたアクティブマトリクス型液晶表示装置において、駆動回路の一部を基板周辺部に内蔵し駆動ドライバを一個ないしは二個接続し、ドライバ実装はチップオングラス法により、基板上の一辺に集約して実装した。またポリマーフィルムを基板に塗布乾燥して用いることにより対向基板省略した。

【効果】 液晶表示装置が小型軽量化され、携帯性が向上した。

図 1



【特許請求の範囲】

【請求項1】薄膜トランジスタと液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記表示画素の薄膜トランジスタの移動度が $1\text{ cm}^2/\text{V s}$ 以上 $5\text{ cm}^2/\text{V s}$ 以下、前記内蔵回路の薄膜トランジスタの移動度が $10\text{ cm}^2/\text{V s}$ 以上 $30\text{ cm}^2/\text{V s}$ 以下、ドライバの液晶駆動電圧の振幅が 5 V 以下であることを特徴とする液晶表示装置。

【請求項2】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記表示画素の薄膜トランジスタの移動度が $0.7\text{ cm}^2/\text{V s}$ 以上 $5\text{ cm}^2/\text{V s}$ 以下、前記内蔵回路の薄膜トランジスタの移動度が $30\text{ cm}^2/\text{V s}$ 以上 $100\text{ cm}^2/\text{V s}$ 以下、前記ドライバの液晶駆動電圧の振幅が 5 V 以下であることを特徴とする液晶表示装置。

【請求項3】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記表示画素の薄膜トランジスタの移動度が $0.4\text{ cm}^2/\text{V s}$ 以上 $5\text{ cm}^2/\text{V s}$ 以下、前記内蔵回路の薄膜トランジスタの移動度が $100\text{ cm}^2/\text{V s}$ 以上 $300\text{ cm}^2/\text{V s}$ 以下、前記ドライバの液晶駆動電圧の振幅が 5 V 以下基板のガラス軟化点が $600\text{ }^{\circ}\text{C}$ 以下であることを特徴とする液晶表示装置。

【請求項4】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記ドライバが基板上に直接接合されていることを特徴とする液晶表示装置。

【請求項5】請求項1に記載の液晶表示装置において、前記ドライバの個数が1個であることを特徴とする液晶表示装置。

【請求項6】請求項1に記載の液晶表示装置において、前記ドライバの個数が2個であり、前記基板上の映像信号側及び走査信号側にそれぞれ配置されていることを特徴とする液晶表示装置。

【請求項7】請求項1に記載の液晶表示装置において、前記ドライバが基板面上の一辺に接続されていることを特徴とする液晶表示装置。

【請求項8】表示領域の対角寸法が 7.5 mm 以上 17.5 mm 以下で表示部の外周から液晶表示装置の外周の距離が 5 mm 以下であることを特徴とする液晶表示装置。

【請求項9】請求項8の液晶表示装置において、前記表示領域に周辺回路が内蔵されていることを特徴とする液晶表示装置。

【請求項10】請求項9に記載の液晶表示装置において、前記周辺回路のドライバがCOG法により基板に接続されていることを特徴とする液晶表示装置。

【請求項11】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置を搭載した情報処理装置において、前記ドライバが基板上に直接接合されていることを特徴とする情報処理装置。

【請求項12】請求項4に記載の液晶表示装置において、前記画素の薄膜トランジスタが 350 以下で形成したシリコン膜を用いていることを特徴とする液晶表示装置。

【請求項13】請求項4に記載の液晶表示装置において、前記周辺回路の薄膜トランジスタの移動度が 10 以上にアニールされた薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項14】請求項1に記載の液晶表示装置において、前記ドライバとの接続端子数が走査線数と信号線数の和の $1/2$ 以上から $1/25$ 以下であることを特徴とする液晶表示装置。

【請求項15】請求項1に記載の液晶表示装置において、前記基板の面積に対する表示画素の面積の比率が 70% 以上 95% 以下であることを特徴とする液晶表示装置。

【請求項16】請求項1に記載の液晶表示装置において、前記ドライバと前記周辺回路の距離が 1 mm 以下であることを特徴とする液晶表示装置。

【請求項17】請求項1に記載の液晶表示装置において、前記周辺回路の上に遮光膜が形成されていることを特徴とする液晶表示装置。

【請求項18】請求項1に記載の液晶表示装置において、前記ドライバが前記基板の短辺にのみ集約されていることを特徴とする液晶表示装置。

【請求項19】請求項1に記載の液晶表示装置において、前記ドライバが基板の長辺にのみ集約されていることを特徴とする液晶表示装置。

【請求項20】請求項1に記載の液晶表示装置において、前記液晶のしきい電圧が 2 V 以下であることを特徴とする液晶表示装置。

【請求項21】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記表示画素の薄膜トランジスタのスイッチ時間が $30\text{ }\mu\text{ s}$ 以上 $60\text{ }\mu\text{ s}$ 以下、前記内蔵回路の映像信号側の薄膜トランジスタのスイッチ時間が $3\text{ }\mu\text{ s}$ 以上 $12\text{ }\mu\text{ s}$ 以下、前記ドライバのトランジスタのスイッチ時間が $0.01\text{ }\mu\text{ s}$ 以上 $0.03\text{ }\mu\text{ s}$ であることを特徴とする液晶表示装置。

【請求項22】薄膜トランジスタで液晶を駆動する表示画素と、前記基板上に形成された内蔵回路と、前記基板上に接合されたドライバからなる液晶表示装置において、前記表示画素の薄膜トランジスタのスイッチ時間が $16\text{ }\mu\text{ s}$ 以上 $30\text{ }\mu\text{ s}$ 以下、前記内蔵回路の映像信号側

の薄膜トランジスタのスイッチ時間が $1.6\mu s$ 以上 $6\mu s$ 以下、前記ドライバのトランジスタのスイッチ時間が $0.01\mu s$ 以上 $0.03\mu s$ であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置特に薄膜トランジスタを用いたアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置は、基板上に複数の走査配線と信号配線の交点近傍に薄膜トランジスタ(TFT)及びこれにより駆動される液晶の画素を持つ。走査配線および信号配線には外付けのドライバICが接続によりそれぞれ走査信号、映像信号が供給される。走査信号によりオンしたTFTにより液晶に映像信号が印加され所定の画像が表示される。

【0003】外付けのドライバを基板上の配線に接続する方法は、金属配線パターンを表示に持つ有機樹脂膜を用いるTAB法と基板上に金属ペーストや半田等を用いて直接接合するCOG(Chip On Glass)法がある。COG法の一例は特開平5-113574号に記載されている。

【0004】外付けのドライバの機能の全て、または一部を基板上に内蔵して外付けドライバの個数を減らした例としては電子技術、1993年6月号6ページから8ページ、1993年インターナショナル エレクトロニクス デバイセズ ミーティングテクニカル ダイジェスト、389ページから392ページ(1993 International Electron Devices Meeting Technical Digest, p 389-392)に記載の例がある。

【0005】

【発明が解決しようとする課題】しかし上記発明においては、液晶表示装置のコスト低減、消費電力低減、画素向上、装置外形の縮小に関し充分に配慮がなされていない。

【0006】本発明の目的は、高精細なアクティブマトリクス液晶表示装置の外形寸法の小型化、及び製造コストの低減することにある。

【0007】

【課題を解決するための手段】本発明の液晶表示装置によれば、駆動回路の機能の一部をガラス基板上に内蔵し、これに駆動するためのドライバをガラス基板に接続する。

【0008】本発明の実施態様によれば、回路内蔵の液晶表示装置において、ガラス基板上で、画素のTFTよりも動作速度の速いTFTで周辺回路を構成しドライバの個数は2個以下とする。

【0009】更に、本発明の他の実施態様によれば周辺回路内蔵液晶表示装置において2個以下のドライバを基板上に直接接続する。

【0010】

【作用】周辺回路に動作速度の速いTFTを用いることで回路の集積度が上がる。高精細の液晶表示装置においても外付けのドライバ数は2個以下に低減される。ドライバが基板の一辺に集約可能となり液晶表示装置の外形寸法が縮小される。ドライバと外部信号との接続配線が短縮でき装置の小型軽量化、低コスト化が可能となる。

【0011】更にドライバの接続をCOG法とすることにより、液晶表示装置の外形はガラス基板とほぼ等しく

10 なり、外形寸法は更に小さくなる。従来接続の不良率が高かったCOG接合であるが、接続するドライバ数が1個もしくは2個になるため接続不良を低減できる。例えばドライバ1個当たりの接続不良率が1%とすると、回路内蔵せずドライバ数が10個の場合、10個共成功する歩留まりは90%となるのに対し、回路内蔵の場合99%となる。この歩留まり向上効果は、一個当たりの不良率が高くなるとより顕著となる。接続不良の場合の補修即ち、検査、切り離し、再接続が容易になる。不良率低減により製造コストが低減できる。

20 【0012】COG実装することで耐震性、耐衝撃性向上する。液晶表示装置のケース材の薄型化ができる。液晶表示装置の外形寸法が縮小される。

【0013】外部インターフェースとドライバ間はFPC等の厚膜配線とガラス基板上の薄膜配線で結ばれている。ドライバが1個もしくは2個のためガラス基板上の配線の長さを短く配置できる。配線は通常TFTの電極材料と同じく薄膜であるためシート抵抗が大きいが配線が短い配線抵抗による電圧降下、電圧変動が低減される。また配線が短いので電磁界輻射量小さい。遮蔽を遮蔽する遮蔽材が省略もしくは削減でき、液晶表示装置が薄型化できる。基板周辺部には基板切断時の歪応力により、微小な割れ、ひび、破片付着等が生じる場合がある。これによる断線や配線間短絡を防止できる。

30 【0014】外部インターフェースとドライバを結ぶガラス基板上の配線相互の交差点数及び交差面積を小さくできる。交差点部分での配線乗り越え段差による断線及び交差する配線間の短絡不良確率が低減される。

【0015】異層の配線同志を接続する箇所を低減できる。接続不良率が低減し、製造コストを低減できる。

40 【0016】プロセス温度を低くすることにより基板のガラス基板の収縮量が低減される。基板上に形成されたパターンの寸法変動が小さいため、基板およびドライバのそれぞれの接続端子の位置合わせ精度が向上する。接続ピッチの微小化、有効接続面積の拡大による接続抵抗の低減、接続工程の不良低減、接続時間の短縮が可能となる。

【0017】ガラス基板の熱膨張係数は石英基板の熱膨張係数よりもひとけた大きく、単結晶シリコンからなるドライバの熱膨張係数にほぼ等しい。ドライバと基板の接続の位置合わせ精度が向上し、接続ピッチの微小化、

有効接続面積の拡大による接続抵抗の低減、接続工程の不良低減、接続時間の短縮が可能となる。熱応力によるドライバ及び基板の破損不良、接続部の剥がれが低減できる。

【0018】図21、図22は一画素の等価回路と駆動波形を示す。TFTの動作は、(1)液晶容量に画素TFTを通して信号電圧を充電する期間、(2)充電した電圧を保持する期間、(3)(1)から(2)に移る瞬間の3つに分けられる。液晶容量CLCは、保持容量CADと並列にTFTのソースに接続されている。液晶を駆動する映像信号V_{D·n}は、TFTのドレインに印加される。TFTは、ゲート信号V_{g n}により導通する。導通したTFTにより液晶容量は充電され、電位V_sはV_dのレベルまで上昇する。液晶は、対向基板側の共通電極の電位V_{COM}とV_sの差電圧が印加される。液晶の透過率は、差電圧の時間平均値、即ち実効電圧により制御される。個々の画素で独立に透過率を制御しLCD全体で画像表示する。正常な画像表示を行うには、外部から供給した電圧V_{d n}と液晶の電極電位V_sが等しいことが理想である。実際には、上記の(1)、(2)、(3)の動作に伴いV_s波形にひずみが生じ、V_dとV_s間に差が生ずる。(1)の歪を低減するには、TFTの充電能力を上げる。すなわち、移動度を向上する。またTFTのチャネル幅とチャネル長の比(W/L)を大きくすることが有効である。(2)の歪を低減するにはTFTのオフ電流を下げる、W/Lを小さくする。通常、オフ電流は、移動度と連動するため、オフ電流の低いTFTは移動度が低くなる傾向がある。(3)の歪を低減するには、ゲートとソースの重なり幅、及びチャネル幅を小さくすることが有効である。TFTの面積が小さいほど、配線間短絡による不良が小さい。また、TFTが小さいほど開口率が高くなる。よって透過型液晶表示装置の場合、表示面の輝度が向上する。またTFTが小さいほど(3)の歪が小さくなる。よってTFTのWおよびLをできるだけ縮小して、TFTの占有面積WLを小さくするのが望ましい。W、LがいずれもTFT製造工程の最小加工寸法に設定されるのが理想的である。しかし從来のTFT特性を考慮するとWとLを等しくすることができなかった。移動度が0.4cm²/Vs k以下と低いa-Si TFTでは、Lを最小加工寸法とし、WをこのL以上、通常5倍程度とすることにより、W/L比を設定した。一方移動度が10以上と高いがオフ電流が高いp-Si TFTに於ては、Lを最小加工寸法に設定し、Wをこれ以上、通常5倍程度として、W/L比を設定した。この結果、TFTの占める面積は、通常、最小加工面積WLの5倍以上となった。特にp-Siは、オフ電流低減のため、マルチゲート構造(TFTを複数個直列接続)、もしくはLDD(Lightly Doped Drain)構造を採用した。このようなp-Si TFT構造は、TFTの占有面積より大きくなした。これに対し、画素のTFTの移動

度を0.6cm²/Vsから5cm²/Vsの範囲とすることにより、TFTのW/L比は2程度となる。TFT占有面積は、従来の半分以下とすることができる。周辺回路を内蔵した場合には、周辺回路による信号の遅延時間も考慮する必要がある。即ち、周辺回路内蔵の場合、画素のTFTは、非内蔵の場合の約半分以下で液晶に充電を完了する必要がある。このため、回路を内蔵していないものに比べ画素のTFTの充電能力、すなわち移動度を高くする必要がある。特に、周辺回路のTFTの移動度が低い場合には、周辺回路による遅延時間が長くなるため、より一層、画素のTFTの移動度を高くする必要がある。周辺回路TFTの移動度が100以上300cmの場合、画素TFTの移動度を0.4以上5以下とすることにより、電圧歪の無い液晶駆動が可能となる。また、周辺回路TFTの移動度が30以上100cmの場合、画素TFTの移動度を0.7以上5以下とする。また、周辺回路TFTの移動度が10以上30以下の場合画素TFTの移動度を1以上5以下とすることにより、電圧歪の無い液晶駆動が可能となる。

【0019】先に分類した3つの電圧歪原因の内、(3)による電圧変動(以下貫通電圧V_{cgs}と呼ぶ)は、ゲート電圧の変化が、TFTのゲートソース間容量を介してソース電極に現われるものである。即ち、V_sは、(1)でV_s=V_dとなるまで充電したレベルより、V_{cgs}だけ低くなる。ゲート電圧が歪のない矩形波の場合、V_{cgs}は、V_{cgs}=V_{gh}·C_{gs}/(C_{gs}+C_L)で現される。ここでC_{gs}でTFTのドレインソース間容量、C_Lは液晶容量(および保持容量の和)C_L、V_{gh}はゲート電圧の高さである。実際には、ゲート電圧がHighレベルからLowレベルに完全に切り替わるにはある程度の時間を要する。その間、TFTは、弱い導通状態を示す。この導通状態は、V_sをV_dのレベルまで再び充電する方向に働く。実際のV_{cgs}は、上記の式の値よりも小さくなる。この再充電による電圧上昇V_rは、ゲート信号の歪量とTFTの充電能力即ち移動度の積に比例する。このゲート信号の歪量は、表示面内で変化する。即ち、ゲート電圧は、表示部の走査線の初端に供給され、配線容量と配線抵抗により、走査線の終端に達するまで歪量が増加する。このため、V_{cgs}は面内で分布を持つ。すなわち、表示が不均一となる。特に表示面積が3インチ以上、特に5インチ以上と大きくなり、配線の抵抗および容量が大きくなると、この表示の不均一性は顕著となる。さらにTFTの充電能力が高いと、布均一性は、より顕著となる。周辺回路内蔵の場合、表示部に供給される走査信号の歪量は、非内蔵の場合に比べ大きい。不均一性はより深刻な問題となる。また、表示する階調数が多くなると階調間の逆転が生じ正常な表示が不可能となる。このような問題を解決するため、画素のTFTの移動度は、5cm²/Vs以上好ましくは3cm²/Vs以下とするのがよい。

【0020】映像信号ドライバの液晶駆動電源電圧のダイナミックレンジを5V以下、好ましくは、3V以下とすることにより、ドライバパターンの加工ルールを $1\mu m$ 以下、好ましくは $0.5\mu m$ 以下とできる。これにより、チップ面積が大幅に低減できる。ドライバの加工寸法はTFTの加工寸法より一桁小さい。ドライバ機能をすべて基板に内蔵するよりも遙に小型化、低消費電力化できる。液晶表示装置の外形寸法が大幅低減できる。チップ面積は、ピン出力当たり 0.1mm^2 以下に低減できる。一個のドライバで200ピン以上もしくは300ピン以上の出力が可能となる。一個または二個のドライバと周辺回路により、液晶表示装置を駆動することができる。一個のドライバ内に表示情報発生回路、表示情報を発生するためのメモリー回路を含むことができる。表示情報発生回路、表示情報を発生するためのメモリー回路を液晶駆動電圧発生回路と同じプロセスで一括形成することが可能となる。

【0021】周辺回路非内蔵では、データ入出力を10個以上のドライバで分担するので、ドライバ一個当たりの発熱量が小さい。回路内蔵では、ドライバ一個ないし二個ですべて駆動するので、ドライバ一個当たりの発熱量が高くなる。ドライバの液晶駆動電圧のダイナミックレンジを5V好ましくは3V以下とすることにより発熱量が低減できる。ドライバを熱伝導の悪いガラス基板上に実装しても加熱破壊しない。また耐熱温度の低いプラスチック上に基板を実装しても、加熱による基板変形や断線は生じない。発熱量は駆動周波数とともに増加する。しかし、電圧が低いので40MHz以上周波数においてもドライバは加熱破壊しない。ドライバ内に大規模の表示情報発生回路、表示情報を発生するためのメモリー回路を含んでも熱破壊、誤動作しない。

【0022】低電圧化することにより、移動度の高い回路及び画素のTFTのリーク電流が指數関数的に低減する。移動度の高いTFTが使用できる。ホトコン電流が低減する。周辺回路TFTのしきい電圧シフトが小さくなり、回路動作が安定する。低電圧化により周辺回路の発熱量が低減する。

【0023】特にNMOSのシフトレジスタ回路の様な発熱量の多い周辺回路においては、回路の温度上昇が低減される。周辺回路動作が安定する。高密度の回路配置が可能となる。周辺回路の面積が小さくなる。回路が高速動作する。周辺回路が高温環境で動作できる。周辺回路に近い表示領域の液晶及び、画素TFTの温度の上昇が無い。表示の面内均一性が向上する。ドライバの電源が低電圧、低電流化できる。システム全体の消費電力が低減される。電源の容積が小さくできる。重量が小さくなる。ケース強度が低くできる。ケース重量、ケース容積が小さくなる。液晶表示装置の軽量化、薄型化、表示部に対する装置外形の小型化が実現する。

【0024】

【実施例】以下、本発明を実施例により詳細に説明する。

【0025】【実施例1】図1は本発明による液晶表示装置の第一の実施例の平面構造図を示す。ガラス基板10上に、アクティブマトリクス方式の表示領域40、その外周に映像信号側周辺回路51、走査信号側周辺回路52、が内蔵される。さらに基板上に一個の映像信号用ドライバ21がCOG法により実装される。図示ないが基板裏面に位置するインターフェース回路からの信号はFPCにより導かれ、ガラス基板上の薄膜配線55、56の一端に接続される。薄膜配線55、56の他端はそれぞれ映像信号側ドライバ51、及び走査側内蔵回路52に接続されている。以上の部材はケース4に收められた液晶表示装置を構成する。

【0026】図4は縦240×横320画素(240×320×3色のドット)の表示領域と周辺回路の等価回路を示す。映像信号側周辺回路51、及び走査側の信号回路52の何れもスイッチマトリクス方式である。映像信号側回路を例に取ると、ドライバからの映像信号及びVdd1からVdd240をTFTにより分散し、表示部の映像信号線及び走査信号線に供給する。信号の分岐は、クロックパルスCL1からCL4、によるサンプリングTFTのスイッチ動作により制御される。走査信号側回路も同様な構成で、ドライバからの走査信号Vgd1からVgd24を10本のクロックパルスによりVg1からVg240まで240本の走査信号線に分岐する。240本の映像信号線をドライバの240本の映像信号端子、24本の走査信号端子により960本の映像信号線、240本の走査信号線が駆動できる。即ち、ドライバICおよび接続数を1/4以下に低減できる。

【0027】図2は表示領域の一画素の平面構造を示す。図3は図2の(A)-(B)間ににおける断面構造を示す。TFT、101は水素化アモルファスシリコン(a-Si)を能動層110とする逆スタガ型TFTである。能動層とソース電極120及びドレイン電極130はn+型a-Siのコンタクト層125、135を介して接続される。ソース電極120、ドレイン電極130、映像信号線137はモリブデン10aとITO10bの2層構造である。ゲート電極110及び走査信号線111はアルミである。ゲート絶縁膜140はSiNである。液晶200はTN型液晶でガラス基板10、12の間に封入される。配向膜205、207はそれぞれのガラス基板の対向面に形成され、液晶の配向方向をガラスのギャップ間で90度回転させる。図示ないがバックライトがガラス基板10の裏面に位置し、液晶に光を照射する。ガラス基板の外側面には偏光フィルム210、212が張り付けられている。液晶に印加される電圧により透過光量が制御して画像表示される。走査信号線及び映像信号線の一端はガラス基板周辺部で周辺回路と接続している。

【0028】図5は映像信号側の周辺回路の平面構造を示す。表示部からの映像信号線137は、回路TFT101cのソース電極120cに接続される。TFT101cの基本構造は表示部のTFT101とほぼ同じである。但しTFT101cでは多結晶シリコンを能動層とする点のみ異なる。高い駆動能力が要求される回路TFTにはレーザアニールによるpoly-Si TFTを、特性の均一性と低いオフ電流が要求される画素TFTにはa-Si TFTを用いる。この組み合わせにより、周辺回路は表示の均一性を損なうことなく内蔵された。4箇のTFT101cのドレイン電極120cは、一つの接続端子51に接続される。図示無いが接続端子51は映像信号のドライバに接続される。ドライバはガラス基板上にCOG法により実装される。

【0029】次に液晶表示装置の製造方法について説明する。図6は本発明による表示部のTFTの主要製造過程における断面構造を示す。なお以下の説明のごとく、回路部のTFTもほぼ同一のプロセスで製造される。いずれの場合もTFT101は、ガラス基板10上に形成される。ガラス基板10はSiO₂を主成分とし、Al₂O₃、B₂O₃をそれぞれ11%、15%及びその他の酸化物を25%含み、歪点は593℃である。熱膨張率は $4.6 \times 10^{-7} / K$ である。まずガラス基板10上にCr膜をスパッタ法により厚さ120nm堆積し、不要部分をホト、エッチングで除去し、ゲート電極11を形成する。エッチング液は、硝酸セリウム系のエッチング液である。続いて、プラズマCVD法によりSiN膜145、a-Si膜110を各々基板温度300℃、270℃、厚さ350nm、40nm連続堆積する。続いて周辺回路が形成される領域のみ、a-Si膜をレーザアニールにより結晶化する。レーザはXeC1エキシマレーザである。照射は真空中、エネルギー密度200mJ/cm²で実施した。a-Si TFTの特性劣化を防止するため、照射前の加熱脱水素処理は行わない。また照射中の基板加熱も同じ理由により行わない。逆にa-Si堆積の際、膜中の水素濃度を15%以上とし、特にシリコン原子と鎖状(SiH₂)結合している水素の濃度を高くしておくと、良好な特性のpoly-Si TFTが得られた。水素の結合状態は赤外吸収スペクトルにより評価できるが、吸収のピーク波数が2020/cmから2060/cm好ましくは2030から2050とするのが良い。これによりTFTの移動度を10cm²/Vsとすることが出来る。

【0030】続いてこのSiN140、a-Si110の積層膜をホトリソグラフィにより、ゲート電極を覆うように島状に加工する(図6(a))。エッチングには、トリフルオロクロロカーボンと酸素の混合ガスによるドライエッチ法を用いた。なお周辺回路部では、水素を大量に含むa-Siをレーザアニールすると表面が荒れ、時にはピンホールが生じている。この場合エッチャントはゲート絶縁膜に接触する可能性がある。本実施例で

は、エッチングはSiNに対するエッチレートの小さいドライ法である。たとえシリコンにピンホールがあっても、ゲート絶縁膜への損傷は無い。

【0031】つづいてスパッタ法により基板温度160℃で厚さ200nmのMo膜を堆積する。a-SiとMoの界面には両者の固相反応によりシリサイド層MoSi_{1.25}が生ずる。続いてMoを燐酸酢酸混合液(PAN液)を用いホト、エッチングする。すなわち、チャネル部125とソース電極部120b、ドレイン電極部130b、信号配線部10b以外を除去する(図6(b))。MoSi_{1.27}は、PAN液に不溶なため、除去されずにa-Siの表面に残る。続いてイオンドーピング法によりPをa-Siに打ち込み高濃度不純物シリコン層(コンタクト領域)135を形成する(図6(c))。イオンドーピングは非質量分離型のイオン照射装置を用い、原料ガスにヘリウム希釈のホスフィンを用いた。加速電圧は10kV、ドーズ量は 10^{15} 個/cm²とした。この際基板温度を例えば300℃に加熱しておくと、a-Si中に打ち込まれたPは活性化され、新たなレーザ照射もしくは加熱処理などの活性化処理を省略できる。もちろん別途熱アニールなどによる活性化処理を施し、特性をより向上させてもよい。

【0032】続いてスパッタ法によりITO膜を基板温度220℃で、厚さ140nm堆積する。

【0033】このITOをHBr液を用いたホトリソグラフィにより画素電極150、ソース120a、電極ドレイン電極130a、信号線10aの形状に加工する(図6(d))。続いて各ITO電極をマスクとして、Mo膜をPAN液でエッチング除去する。すなわちITOで覆われていないTFTのチャネル部分のMoを除去する(図6(e))。続いて酸素のプラズマアッシャ、もしくは塩素、トリフルオロカーボン等のドライエッチによりチャネル部のMoSi₁を除去する。この場合、酸素アッシャを用いたTFTの特性が良く、これを用いるのが好ましい。理由は、シリサイド除去と同時に表面に安定な非常に薄い酸化膜を形成する事によりa-Si膜へのプラズマダメージ、オーバーエッチを防止し、かつ表面の捕獲順位を低減できるためと考えられる。この際の酸化膜の膜厚は応力の発生を押さえるため、約30nm以下好ましくは10nm以下とするのがよい。以下図には示していないが、続いてTFTの保護膜としてSiN膜145をプラズマCVDにより堆積する。最後にこのSiN膜をゲート絶縁膜同様のホト、エッチングし、信号線、ゲート線の端子を露出させ、TFTを完成させる。

【0034】本実施例では、図2の平面図に示されているように、画素電極150と隣接する行のゲート線112を電極として保持容量102を形成している。この保持容量は、本実施例のアクティブマトリクス基板で液晶を駆動した場合に、液晶容量と並列接続されリード電流による電圧効果を防止する効果を持つ。本実施例による

駆動回路の部分平面図（表示部の2列の画素に関する範囲）を図6に示す。ガラス基板の端部の1本のドレイン端子D L Tから2個のT F T, T C 0, T C 1を介し表示部（画素部）の2本のドレイン線（映像信号線）（偶数列D L 0, 奇数列D L 1）に分岐接続される。ゲート線G C 0, G C 1とドレイン線の交差部にはS i, S i Nの2層膜からなるパターンC R O Sをはさみ、両配線間を絶縁する。T F Tをスイッチングするための2本のゲート線G C 1, G C 1がそれぞれ偶数列、奇数列のT F T, T C 0, T C 1に接続される。

【0035】上記第1及び第2の実施例において以下に挙げる変更を加えても本発明の主旨を損なわない。

【0036】実施例ではソース、ドレイン電極をゲート電極及び半導体上に設けたが、この形状を変えて本発明の主旨を損なわない。すなわちソースドレインの金属層130b, 120bをシリコン膜上に残さずにn+ S i, シリサイド, I T Oの積層構造のみのコンタクトとしてもよい。

【0037】実施例ではゲート電極材料としてC rを用いたがその他の金属例えばA l, C u, T a, T i等やその積層膜、または合金等を使用してもよい。A l, C u系を用いた場合には配線抵抗が下がり、これを用いたLCDの表示画像の面内均一性を向上できる。

【0038】実施例ではゲート絶縁膜材料としてS i N膜を用いたが、このほかにS i O₂, S i O N等の膜を用いてもよい。またゲート線材料にA l, T aを用いた場合にはこれを陽極化成することで得られる酸化膜との積層膜として、絶縁膜の耐圧向上、短絡防止を図ってもよい。

【0039】実施例は半導体膜をプラズマCVDによるa-S i膜またはこれをレーザアニールした多結晶S i膜としたがこれを他の材料または他の製法によってもよい。例えばゲルマンガスを材料ガスにプラズマCVDで堆積したG e膜、またはG eとS iの混晶膜ないしは超構造膜としてT F Tの特性向上を図ってもよい。

【0040】また半導体膜の堆積方法はプラズマダメージの無い減圧CVD法、膜中の水素量を低減できるスパッタ法、又はE C R-CVD法を用い膜の不安定性の防止、プロセス温度の低減を図ってもよい。半導体膜としてS iのマイクロクリスタル膜を用いた高移動度化を図ってもよい。半導体膜をレーザもしくは熱でアニールして多結晶化し、T F Tの高移動度化を図ってもよい。この場合、作用の項で述べたように、アニール前の膜の水素が多くても、結晶化膜のピンホールによるゲート絶縁膜の不良は殆ど生じない。

【0041】実施例ではソースドレイン電極にM oを用いたがその他T i, T a, M o, C r, T i, P d, M n, C o, N i, T a, P t等半導体と反応してシリサイドもしくはゲルマニウム化合物を形成する金属材を用いてもよい。さらにこれらを含む合金及び積層膜を用い

てもよい。

【0042】図3は、アクティブマトリクス基板をもう一枚の基板と向き合わせ液晶を封入したセルの一画素分の断面図である。T F T基板10は、T F T, 画素電極150, 保護膜145等が、液晶と接する側の面に前記実施例で説明した方法で形成されている。その上に、液晶の分子の配列をそろえるための配線膜145がスピナーラビング処理により形成されている。またその反対面には、偏向板210を張り付けてある。対向基板の内側表面には画素電極以外の領域から漏れてくる光を遮ぐるためC rのブラックマトリクス160, 有機樹脂をロールコート塗布後染色して形成したカラーフィルタ152, I T Oの対向電極170r, 170g, 配向膜207が順次形成されている。また外側表面には配向膜212を張り付けてある。両基板間にビーズを分散し、約5μmのギャップ長さとし、図には示していないが基板の周辺部を樹脂で接着した後、ネマチック型液晶を充填、封入する。偏向板210と212の偏向方向は直交させ、配向膜205, 207ラビング方向を直交させてある。表示モードは、液晶に電圧が印加され無いときに光が透過するノーマリーホワイトモードである。

【0043】図5は、映像信号側の周辺回路の平面構造を示す。4n+1列から4n+4列までの4本の映像信号線に対応する回路部を示してある。ドライバとの接続端子が4個の回路TFT301のドレイン電極330に接続される。一方回路T F Tのソース電極320はそれぞれ対応する保持容量302と映像信号線137に接続される。クロック線C L 1, C L 2, C L 3, C L 4は、表示部の走査信号線に対応するもので回路T F Tのゲート電極に接続される。クロック線は2折れ曲がった配線形状とし回路面積を小さくした。このため配線長が増える。配線抵抗がほかの2本と同じになるよう、この2本の配線幅を太くした。遅延時間の違いによる表示色のばらつきを防止できる。回路T F Tの構造及びプロセスは、能動層がレーザアニールによるpoly-S iである以外は、表示部T F Tと同じである。即ち、ソースドレイン電極及び配線は、金属とI T Oの二層配線でシリコン層が配線の下層に敷設されている。T F Tのチャネル310形状をU字型とした。これによりゲートソース間の寄生容量を増やすことなくチャネル幅を約2倍にできる。即ちゲート電圧波形の影響を増やすことなく回路の駆動能力を向上できる。保持容量302の構造も表示部と同じである。このような回路パターンが映像信号線4本毎に、合計240個並べる。その際、図1で示したように回路全体をレーザビームの幅以下のブロックに分割して、各ブロック間の間隔を100-500μm程度離して配置してもよい。この場合、レーザアニール際にレーザビームの重ね合わせ部におけるT F Tの特性ばらつきの影響を低減できる。走査側の周辺回路も図5と同様な構成である。異なる点は、回路T F Tのソースと走査

信号線即ちゲート金属層を接続する点である。すなわち異層の配線を接続する点である。

【0044】図20は、液晶表示装置の駆動波形のうち表示部の左端4列の概要を示す。画素のライン選択時間 t_1 ($35\mu s$)の前半 t_{L1} にクロック信号CL1, CL2, CL3, CL4により順次回路TFTをオンさせる。これに合わせドライバは t_{L1} の $1/8$ の時間でデータ V_{dd1} を切り替える。各映像信号線に映像信号 V_{d1} , V_{d2} , V_{d3} , V_{d4} を充電する。この映像信号は、後半 t_{L2} に画素のTFTにより液晶容量に充電される。ゲート線(走査線)に順次(V_{Gn-1} から V_{Gn} 以下、図示無いが次の行へ)電圧を加えて画素(線順次走査)TFTを導通させ、信号線(ドレイン線)から与えられた映像信号 V_D を液晶に印加する。液晶は対向基板側の共通電極の電位 V_{COM} と V_{Dn} の差電圧により駆動され、画素の光透過率が変化する。個々の画素で独立に透過率を制御しLCD全体で画像表示する。

【0045】図11は、以上の液晶セルを用いた液晶ディスプレイの全体概略である。液晶セルのアクティブマトリクス基板にドライバ21がCOG実装される。ドライバは走査信号と映像信号及びそれらのクロック信号を発生する機能を持つ。ドライバの出力端子は走査側周辺回路51及び映像信号側周辺回路52に接続される。このドライバICを駆動するための信号および電源は、プリント基板430からFPC(フレキシブルプリントサーキット)を介して供給される。プリント基板には、タイミングコンバータ等のICからなる信号処理回路400、液晶で表示される各階調に対応階調電圧発生回路410が実装される。バックライト440は、アクティブマトリクス基板の背面に設置した。以上の部材はケース90内に実装される。

【0046】図7は、COG法により接続されたドライバとガラス基板の断面図である。これはCOG法にも各種あるがこれは、マイクロボンディング法による。ドライバ51の出力端子にはAuパンプ350が形成され、これがガラス基板10上の映像信号線I端子351に直接接続される。ドライバは、ドライバと基板間に塗布した紫外線硬化樹脂358により固定される。樹脂が硬化する際の収縮し圧縮応力によりAuパンプとITO端子351は圧接接続される。マイクロパンプボンディングの接触抵抗は1オーム程度である。ゲート配線材料のCrと映像信号線材料Moと、ITOを積層することにより配線の低抵抗を実現した。液晶パネル端子とインターフェース回路はFPC(基材80a、銅箔80b)により接続される。周辺回路は液晶セルのシール352の近傍2mmの幅中で形成される。シール近傍は、不純物汚染、ラビングむらなどにより液晶の表示特性が不均一になる。またシール加工精度も考慮して、シールおよびシールからなる内側へ2mm程度は非表示領域とする。従来この領域はデッドスペースとなっていたが本実施例ではこ

こに周辺回路をするので、液晶表示装置の表示領域に対する外形寸法を小さくできる。本実施例では周辺回路として、スイッチマトリクス型回路を用いた。この回路での消費電力は、インバータによるシフトレジスタ回路の場合よりも小さい。よって回路での発熱量が小さい。回路を液晶セル内に形成しても液晶は局部加熱されず温度は均一である。よって表示むらの無い均一な表示が得られる。

【0047】本実施例において、液晶をPDL液晶(Polymer Dispersed Liquid Crystal)としてもよい。PDLは、高分子膜の空孔に液晶材料が充填されたものである。これは、液晶と高分子材料の均一溶液を重合により相分離することにより得られる。例えば液晶はBDH社のE-8である。高分子材料は2-エチルヘキシリアルクリテート、ウレタンアンクリレート、光重合開始材の混合液を用いた。混合液を液晶セルに充填したあと、光重合によりPDLを得た。この場合、図3中の偏向板212, 210, 配向膜207, 205が不要となる。偏向板がないことにより、透過率が2倍向上し、表示輝度向上、消費電力低減に効果がある。

【0048】接続端子当たりの面積を大きくでき、誤動作が防止されるとともに消費電力が低減され、このような製造歩留まり向上は多端子の大型、微小幅のドライバチップ、所謂ストリング形状のチップにおいて顕著となる。このためストリングチップのより一層の多端子化、細幅化が可能となる。液晶表示装置の外周部の非表示領域の幅を小さくできる。液晶表示装置の外形寸法に対する表示領域寸法を大きくできる。

【0049】本実施例において表示部のTFTの移動を1から $3\text{cm}^2/\text{Vs}$ 、オフ電流が 100pA とすることにより画素のTFTのチャネル幅とチャネル長の比を1にすることができる。これにより表示領域の開口率が向上しパネル輝度向上、バックライトの消費電力低減ができる。ドライバの移動度は $800\text{cm}^2/\text{Vs}$ とすることにより 30MHz の信号を発生できる。周辺回路の移動度を10から $3\text{cm}^2/\text{Vs}$ とすることによりスイッチマトリクス回路動作が可能となる。さらに内蔵回路の移動度を100以上300以下とすることによりTFTオフ時のソースドレイン間容量による電圧変化の面内ばらつきを低減できる。

【0050】表示画素の薄膜トランジスタのスイッチ時間が $30\mu s$ 以上 $60\mu s$ 以下、映像信号側の内蔵回路の薄膜トランジスタのスイッチ時間が $3\mu s$ 以上 $12\mu s$ 以下、ドライバのトランジスタのスイッチ時間が $0.01\mu s$ 以上 $0.03\mu s$ であることにより消費電力をさげることができる。電磁輻射を低くできる。回路の発熱量を低くできる。シリコンの発熱量を低くできる。シリコンの素子面積を小さくできる。

【0051】表示画素の薄膜トランジスタのスイッチ時間が $30\mu s$ 以上 $60\mu s$ 以下、映像信号側の内蔵回路

の薄膜トランジスタのスイッチ時間が $3\mu s$ 以上 $12\mu s$ 以下、ドライバのトランジスタのスイッチ時間が $0.01\mu s$ 以上 $0.03\mu s$ であることにより、高精細にできる、上記さらに得られる。

【0052】ドライバー変に集約されているので接続の工程数が簡略化される。短編に集約されると表示面積に対する額縁面積が小さくてすむ。硝子基板の面積が小さいので一枚のガラスマザーボードから取れるアクティブマトリクス基板が多く取れ越すとして低減できる。長編に集約されている場合、ドライバ下部の領域に導光体方式のバックライトの蛍光管がある。蛍光体空の光はバックライトの短辺方向に走る。よって光強度の分布ばらつきが小さい。蛍光管の発光強度が小さくてよい。ドライバの隣に他の素子を実装できる。例えばCRT用の信号をLCD用に変換するタイミングコンバータの基板を小さくもしくは廃止することができる。これは液晶表示装置の小型軽量に硬化がある。

【0053】液晶表示装置からの電磁放射が低減される。電磁輻射の傍受による他者へのデータ漏れが防止できる。

【0054】(実施例2) 第2の実施例として横電界方式の液晶表示装置の実施例を示す。図14は横電界方式による液晶表示装置の一画素の部分平面図を示す。図15は、(a)-(b)断面における断面図を示す。走査信号線111及びゲート電極113はCr膜である。映像信号線111、ソース電極120、ドレイン電極130、画素電極150および共通電極154はAlとCrの積層膜である。TFT101の能動体層110はa-Siを40nmと180nmの二層に分けて堆積した膜である。但し周辺回路部では下層のみレーザアニール法によるpoly-Si膜である。即ち回路のTFTはpoly-Siとa-Siの2層膜を能動体層とする。ソースドレイン電極と能動体層の間にn+a-Si層135が形成される。画素電極150は、映像信号線137に平行に帯状に形成される。共通線154は、隣接する行の映像信号線の近傍にこれと平行に形成される。共通線は、表示面内で列方向に共通の電圧を供給する。液晶は、画素電極150と共通電極154の間で基板表面に平行な電界により配向制御される。

【0055】本実施例の横電界によれば、視角による液晶の複屈折性が少ない。画像表示する視角範囲が広い。液晶容量が従来の縦電界の場合の1/5以下ある。また信号配線及び走査信号線の容量も半分程度に低減される。このため画素のTFTによる書き込み時間は、従来の5倍以上に向上できる。よって画素のTFTの移動度が低くても充電可能になる。よって画素のa-Siの特性劣化を考慮せずに周辺回路のpoly-Siの高性能化ができる。例えばレーザアニールの際、400°C近くまで基板加熱できる。またレーザアニール後のpoly-Si膜の特性が高くなる様、出発材料のa-Si膜の形成条件

を最適化できる。例えば、Si-H₂結合の多い膜を用いる。またはスパッタ法による無水素のSi膜をレーザアニールし、その後プラズマ水素化法により水素を導入してもよい。これらの方法によりa-Si TFTの特性は低下するがpoly-Si TFTの移動度は $30\text{cm}^2/\text{V}\cdot\text{s}$ 以上に向上できる。オフ電流がさらにpoly-Si形成に、高速動作により、高精細の液晶表示装置が実現できる。充電能力に余裕があるため、TFTのチャネル幅を小さくできる。周辺回路の面積を小さくでき、液晶表示装置の結う表示領域以外の外周の面積を小さくできる。

【0056】(実施例3) 第3の実施例として横電界方式の液晶表示装置の実施例を示す。図16は横電界方式による液晶表示装置の一画素の部分平面図を示す。図17は、(a)-(b)断面における断面図を示す。走査信号線111及びゲート電極113はCr膜である。映像信号線111、ソース電極120、ドレイン電極130、画素電極150および共通電極154はAlとCrの積層膜である。TFT101の能動体層110はa-Siを40nmと180nmの二層に分けて堆積した膜である。但し周辺回路部では下層のみレーザアニール法によるpoly-Si膜である。即ち回路のTFTはpoly-Siとa-Siの2層膜を能動体層とする。ソースドレイン電極と能動体層の間にn+a-Si層135が形成される。画素電極150は、映像信号線137に平行に帯状に形成される。共通線154は、隣接する行の映像信号線の近傍にこれと平行に形成される。共通線は、表示面内で列方向に共通の電圧を供給する。液晶は、画素電極150と共通電極154の間で基板表面に平行な電界により配向制御される。

【0057】本発明によりLCDは本実施例に記載のノートパソコンに限らず、他のポータブルな情報処理装置の小型化、軽量化、電池寿命の向上に効果がある。例えば、本発明のLCDを携帯用電話、携帯用ゲーム機、および小売店等で用いられる売上/注文管理用の携帯用情報処理器など、集積回路を用いた情報処理を電池の電力を元に行う機器において有効である。

【0058】(実施例3) 第3の実施例として、反射型ノードで、対向基板を用いない液晶表示装置について説明する。図16は液晶セルの断面構造である。コプレーナ型TFT101が、硝子基板10上に形成される。TFTの

保護膜145は、ポリイミド樹脂をスピニ塗布、乾燥したもので表面が平坦化されている。反射性の画素電極520は、保護膜145上に形成される。液晶は、PDL C (Polymer Dispersed Liquid Crystal)を用いる。PDL Cは、TFT基板上に塗布形成される。PDL Cは、高分子膜510の空孔に液晶材料200が充填されたものである。これは、液晶と高分子材料の均一溶液を重合により相分離することにより得られる。液晶は、BDH社のE-8である。高分子材料は2-エチルヘキシリアクリテート、ウレタンアングリレート、光重合開始材の混合液を用いた。混合液を塗布後、光重合して高分子成分を硬化させPDL Cを得た。PDL C膜表面に、保護層として有機膜204を塗布形成した。保護膜の材料は、PDL Cの高分子材料と同じものを用いた。ITOの対向電極165は、低温でスパッタ成膜される。

【0059】なおPDL Cを浸漬法により形成してもよい。多孔性高分子膜は、微粒子を含む高分子膜を塗布し、これから微粒子を除去することにより形成する。例えば粒径1μmのポリメチルメタクリレートを含んだポリビニルアルコール液を用いる。塗布はスピニナ法による。塗布膜は乾燥後、クロロホルムに浸漬される。微粒子が溶出し空孔が生じ、これに液晶を含浸するとPDL Cが得られる。対向基板がないため、液晶セルを軽量薄型化できる。また本実施例によれば、液晶セルを周辺部でシールする必要がない。このためシール幅に相当する幅だけ液晶表示装置を小型化できる。

【0060】(実施例4) 図9は液晶表示装置を搭載した携帯型情報処理装置を示す。通信機能を有する電子手帳で有る。マイクロプロセッサを中心とする情報処理機能を搭載したCPUボード950、電子手帳内にシステム全体に電力を供給する充電型電池920、数字データ入力用キーボード904、情報処理メニュー選択スイッチ901、データ記録用メモリーカード960を収めている。液晶ディスプレイ1は背面にバックライトを設けた透過形で有る。アクティブマトリクス基板の開口率が向上したため、バックライト光の利用率が向上し、LCDの輝度が向上した。また、低電力のバックライトでも充分な輝度が得られ、バックライトの薄形化、軽量化、又はこれの電源となるバッテリーの小型軽量化が可能となつた。これにより直接的及び、間接的に(これらを格納、保持する構造部材についても)小型軽量薄形化でき、ノート形パソコンの可搬性を向上できる。また、一回の充電で使用できる時間が延び使い勝手が向上できた。

【0061】本発明によるLCDは本実施例に記載のノートパソコンに限らず、他のポータブルな情報処理装置の小型化、軽量化、電池寿命の向上に効果がある。

【0062】例えば、本発明のLCDを携帯用電話、携帯用ゲーム機、および小売店等で用いられる売上/注文管理用の携帯用情報処理機など、集積回路を用いた情報

処理を電池の電力を元に行う機器において有効である。

【0063】(実施例5) 図17は、本発明による液晶表示装置を用いたカード型情報処理装置を示す。不透明なプラスチック基板17上に表示領域10が形成される。画素のTFTの能動層は、基板温度150°C ECRプラズマCVDによるa-Si:H TFTである。周辺回路はこのa-Si膜レーザアニールして得たpoly-Si TFTである。レーザが瞬間的加熱のため、プラスチック基板に対するダメージはない。プラスチック基板のため割れの心配がなく安全である。またプラスチックの比重が硝子の約1/2であるためさらに装置の軽量化が実施された。液晶の表示モードは、反射型である。不透明であるため基板下面からの光の遮光を考える必要がない。液晶は、塗布形成されたPDL C液晶である。ドライバ630は、ストリング型で、CPU機能を内蔵している。太陽電池600が基板上に、内蔵されこの装置全体の電源を供給している。外部との情報の送受信は、基板上に内蔵した入出力センサ610(例えばLEDとホトダイオード)より行われる。本実施例では、電源、パックライト、制御回路を搭載した基板、FPC、ケースなどほどの部材が廃止でき、装置が著しく軽量化、小型薄型化される。情報処理装置の携帯性が、飛躍的に向上する。同様な実施例としてストリングドライバを用いCPU630を基板上に実装した例を図19に示す。図18はすべての素子を基板上に内蔵したものである。いずれも飛躍的に装置の携帯性向上ができる。

【0064】

【発明の効果】以上述べた様に本発明によればアクティブマトリクス液晶表示装置の小型化等が可能となり、液晶表示装置の携帯性を向上できる。

【図面の簡単な説明】

【図1】液晶表示装置の構造図。

【図2】アクティブマトリクス基板の部分平面図。

【図3】液晶セルの断面構造を示す図。

【図4】液晶表示装置の画素と周辺回路の等価回路を示す図。

【図5】周辺回路の部分平面図。

【図6】TFTの製造過程の断面構造を示す図。

【図7】周辺回路とドライバとの接続部の断面構造を示す図。

【図8】液晶セルの断面構造を示す図。

【図9】液晶表示装置の構造図。

【図10】液晶表示装置の構造図。

【図11】液晶表示装置の構造図。

【図12】液晶表示装置の構造図。

【図13】情報処理装置の構造を示す図。

【図14】アクティブマトリクス基板の部分平面図。

【図15】液晶セルの断面構造を示す図。

【図16】液晶セルの断面構造を示す図。

【図17】情報処理装置の構造を示す図。

【図18】情報処理装置の構造を示す図。

【図19】情報処理装置の構造を示す図。

【図20】液晶表示装置の駆動波形を示す図。

【図21】一画素の等価回路を示す図。

【図22】一画素の駆動波形を示す図。

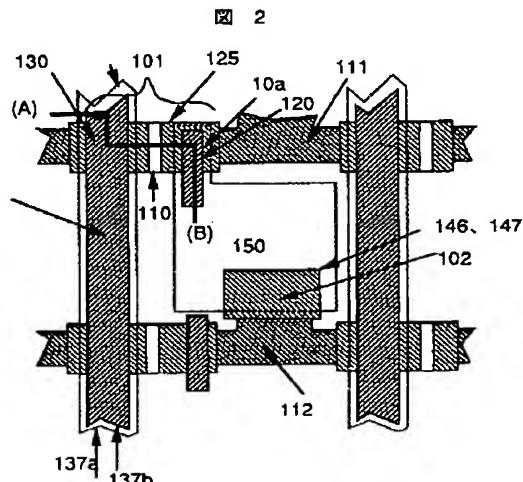
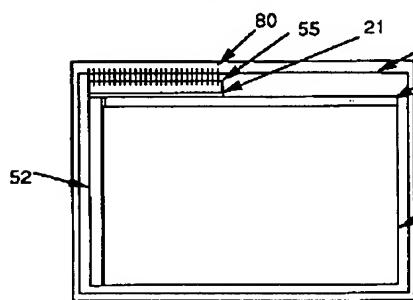
【符号の説明】

10…基板、12…対向基板、15…カード基板、40…表示領域、51…映像信号側周辺回路、52…走査信号側周辺回路、51…ドライバ、55…配線、80…接続線、90…ケース、101, 301…TFT、102, 302…保持容量、110, 310…半導体層、111, 311…走査信号線、113…ゲート、120a, 120b, 320a, 320b…ソース、125…ドーピングマスク、127…シリサイド、130a, 130b, 330a, 330b…ドレイン、135, 335…高濃度不純物層、137a, 137b, 337a,

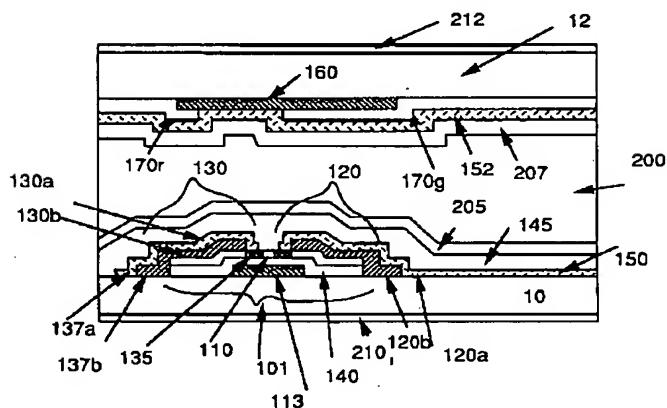
337b…映像信号線、140…ゲート絶縁膜、145…保護膜、146…保持容量絶縁膜、150…画素電極、152…対向電極、154…共通電極、170r, 170g, 160…ブラックマトリクス、165, 520…反射膜、200…液晶、204…高分子膜、205, 207…配向膜、210, 212…偏光板、351…バルブ、352…シール材、358…接着剤、400…タイミングコンバータ、410…階調電圧発生回路、430…プリント基板、440…パックライト、510…高分子マトリクス、530…シールドパタン、600…太陽電池、630…マイクロプロセッサ、610…出入力センサ、640…タッチセンサ、904…プッシュスイッチ、901…メニュー選択スイッチ、904…テンキー、902, 903…コネクター、910…電池、920…プリント基板、950…CPUボード、960…メモリーカード。

【図1】

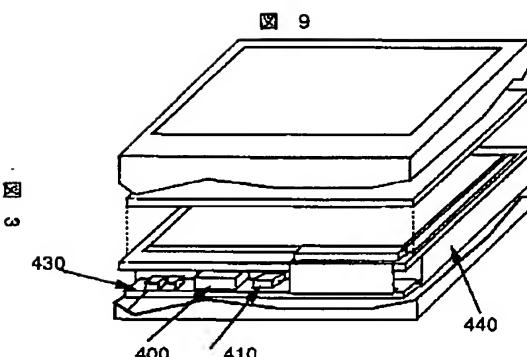
図1



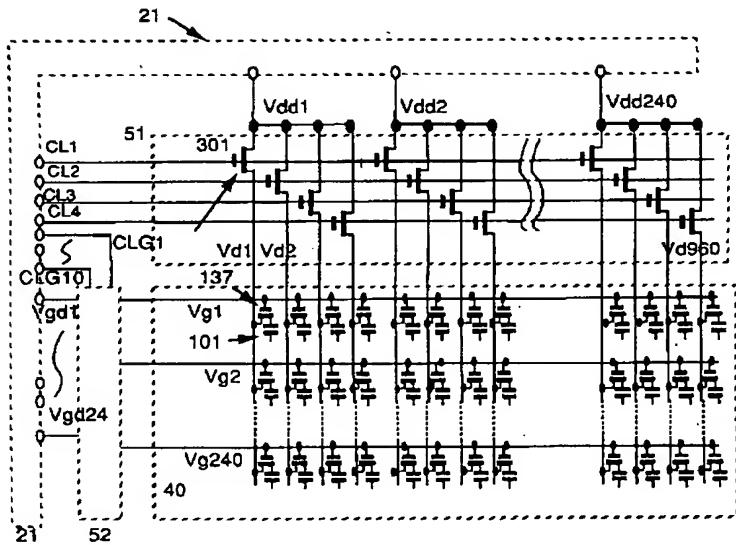
【図3】



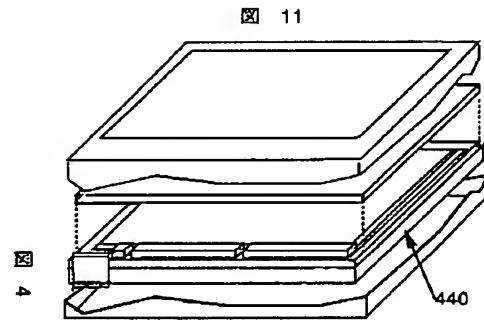
【図9】



【図4】

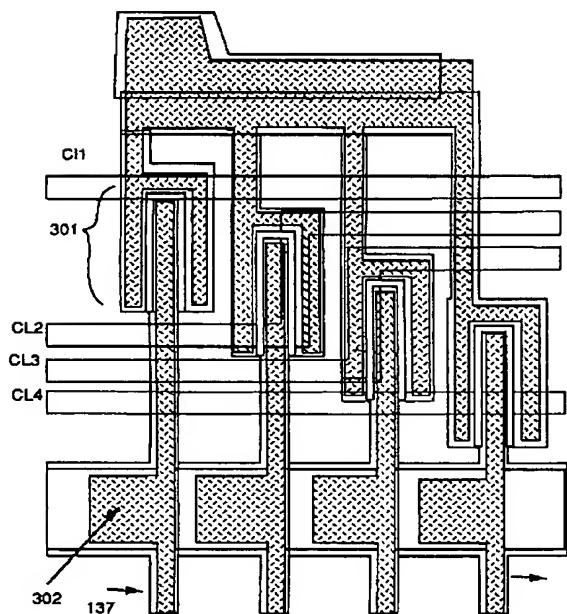


【図11】



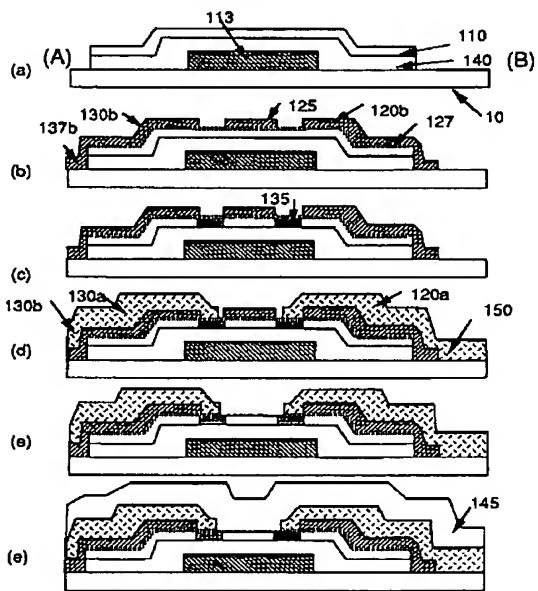
【図5】

図 5

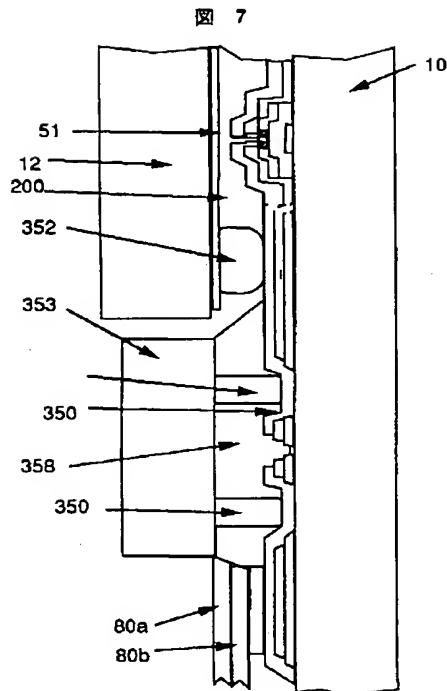


【図6】

図 6

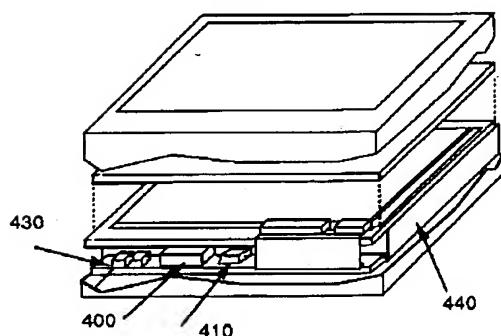


【図7】



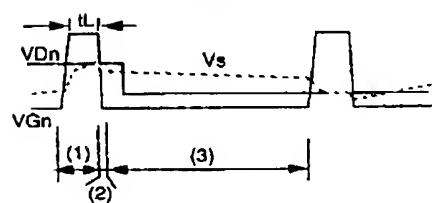
【図10】

図 10

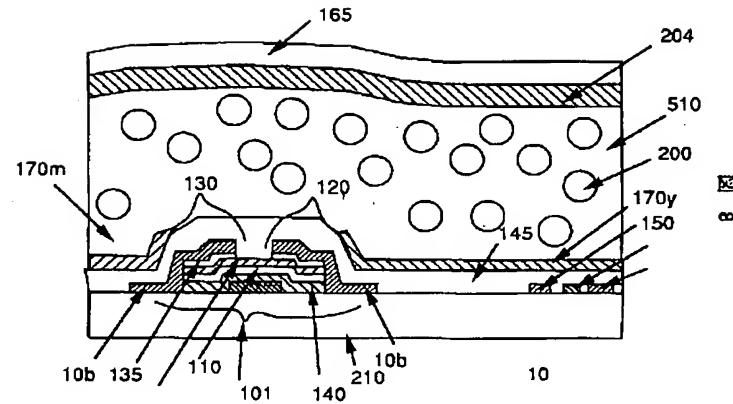


【図22】

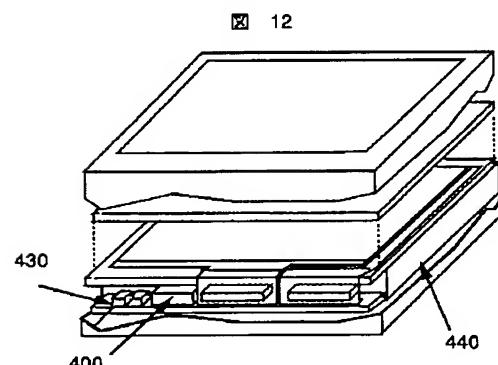
図 22



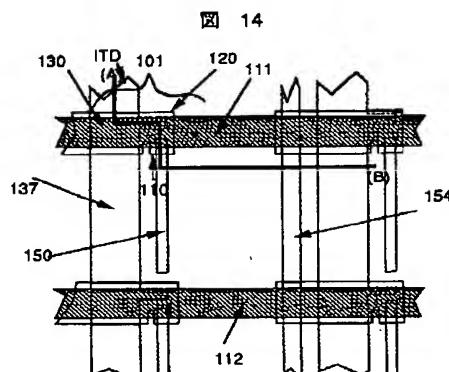
【図8】



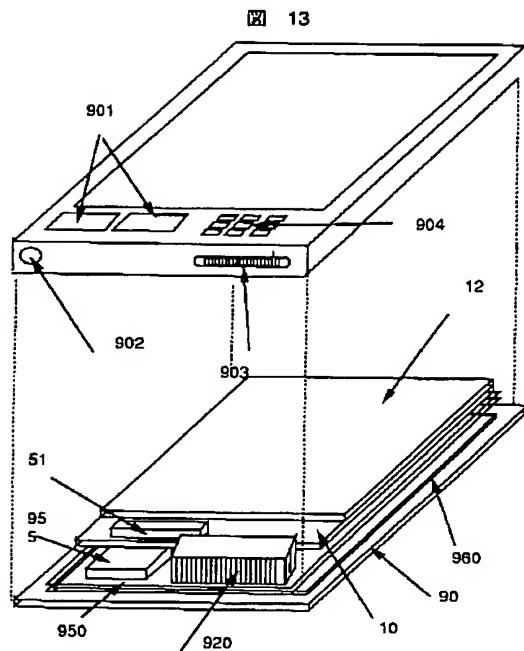
【図12】



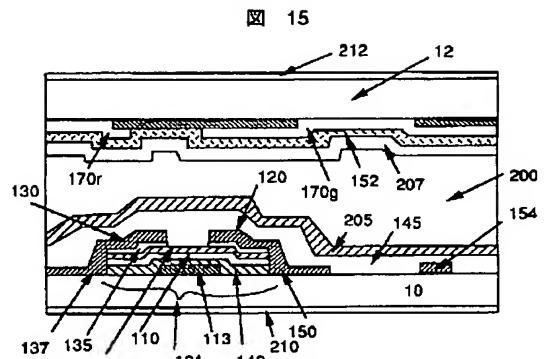
【図14】



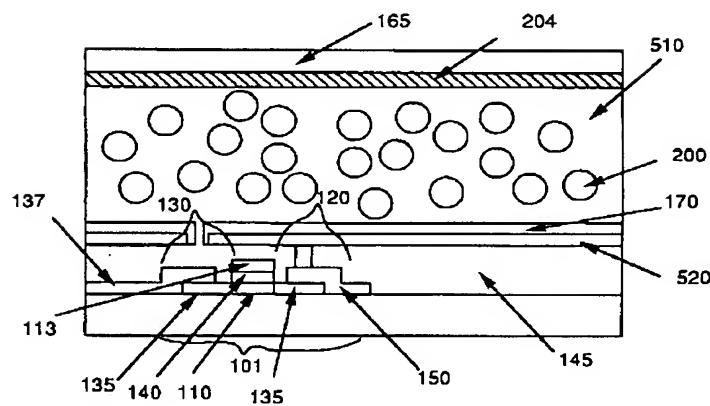
【図13】



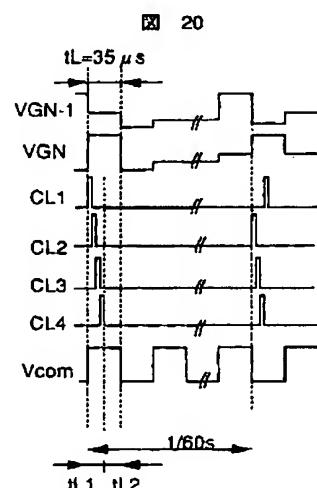
【図15】



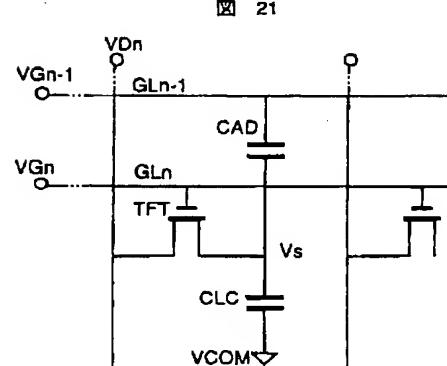
【図16】



【図20】

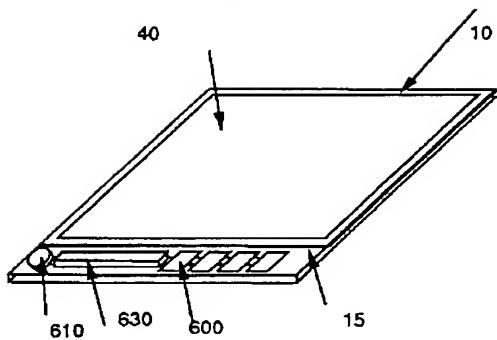


【図21】



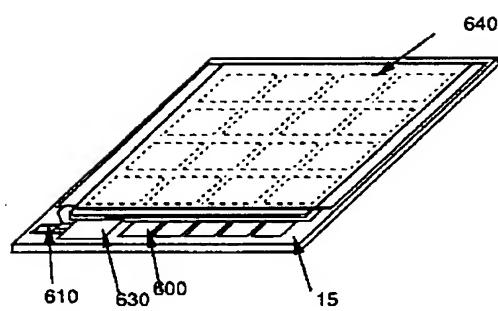
【図17】

図 17



【図18】

図 18



【図19】

図 19

